

CLIPPEDIMAGE= JP355011331A
PAT-NO: JP355011331A
DOCUMENT-IDENTIFIER: JP 55011331 A
TITLE: METHOD OF MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: January 26, 1980

INVENTOR-INFORMATION:

NAME

TAKAHASHI, SHIGERU

TSUKUDA, KIYOSHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP53083523

APPL-DATE: July 11, 1978

INT-CL (IPC): H01L021/26; H01L021/72

US-CL-CURRENT: 438/128, 438/133 , 438/512 , 438/543

ABSTRACT:

PURPOSE: To make uniform the dispersion of lifetimes of elements, by exposing them to radiation from the main surface of a base after a PN junction is formed in a semiconductor integrated circuit.

CONSTITUTION: Under the same diffusion process, inner A thyristors 20 and 27 and outer B thyristors 30 and 37 are formed. Here, A thyristors 20 and 27 and B thyristors 30 and 37 form bidirectional thyristors, with 20 and 30, 21 and 31...connected in inverse parallel. Next, they are exposed to radiation, such as electron beam. In the relation of the position of the chip, the lifetime of the PN junction and the value of hFE of each thyristor made of the same structure and under the same diffusion process, those elements in the neighborhood of chip ends tend to have larger values. But, by radiation, such dispersions are made uniform. This is not confined to thyristor-array integrated circuits but can be applied to integrated circuit devices containing

PNP transistor array and other diode array.

COPYRIGHT: (C)1980,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55—11331

⑬ Int. Cl.³
H 01 L 21/26
21/72

識別記号

庁内整理番号
6684—5F
6513—5F

⑭ 公開 昭和55年(1980)1月26日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 半導体集積回路装置の製造方法

⑯ 特 願 昭53—83523

⑰ 出 願 昭53(1978)7月11日

⑱ 発 明 者 高橋 茂

日立市幸町3丁目1番1号株式
会社日立製作所日立研究所内

⑲ 発 明 者 佃 清

日立市幸町3丁目1番1号株式
会社日立製作所日立研究所内

⑳ 出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5
番1号

㉑ 代 理 人 弁理士 平木道人

明 細 書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

(1) それぞれがpn接合をもち、かつ同一機能を有すべき複数の半導体素子が一對の主表面を有する同一基体中に形成されてなる半導体集積回路装置の製造方法であつて、所要のpn接合を形成した後、基体の主表面から放射線を照射し、これによつて前記半導体素子のキャリアのライフタイムのばらつきを均一化することを特徴とする半導体集積回路装置の製造方法。

(2) 放射線照射が少なくとも一方の主表面全域に行なわれることを特徴とする第1項記載の半導体集積回路装置の製造方法。

(3) 所要のpn接合形成および配線が終了した後、放射線照射が行なわれることを特徴とする第1または第2項記載の半導体集積回路装置の製造

方法。

(4) 放射線照射の後にアニールすることを特徴とする第1ないし第3項のいずれかに記載の半導体集積回路装置の製造方法。

(5) 放射線が電子線であることを特徴とする第1ないし第4項のいずれかに記載の半導体集積回路装置の製造方法。

(6) 電子線加速エネルギーが1.3～2Mevであることを特徴とする第5項記載の半導体集積回路装置の製造方法。

(7) 照射量が $2 \times 10^4 \sim 6 \times 10^4$ エレクトロン/cmであることを特徴とする第5または第6項記載の半導体集積回路装置の製造方法。

(8) pn接合を有する半導体素子がサイリスタであることを特徴とする第1ないし第7項のいずれかに記載の半導体集積回路装置の製造方法。

3. 発明の詳細な説明

本発明は半導体集積回路装置の製造方法に係り、特に同一基体中に同一機能を有すべきpn接合が少

くとも2ヶ以上アレイ状に配置されてなる半導体集積回路装置の製造方法に関する。

同一基体内に同一機能を有するスイッチング回路をアレイ状に配置してなる集積回路装置の内の単位回路を具体的1例として第1図に、またその中の1個のサイリスタの断面構造を第2図に示し、その機能を述べる。第1図においてサイリスタ20および30は第2図に示すラテラル型接合構造を持ち、互いに逆並列接続されて双方向サイリスタを形成し、その保護回路40および41、駆動回路60が配線接続される。駆動回路60は、サイリスタがカソードゲートおよびアノードゲートの双方のゲート電極により駆動しうるような電流出力を供給する。保護回路40および41は外部からの急峻な立ち上り電流等によるサイリスタ20および30の誤点弧を防ぐことを目的としている。このような回路を同一基体内に2ヶ以上形成する場合の1例を第3図に示し、その問題点を詳述する。

第3図において、内側のAサイリスタ20および外側のBサイリスタ30はアルミ配線等で逆並列接

続されて双方向サイリスタを形成し、保護回路40および41、駆動回路60がアルミ配線等で各サイリスタに接続され、第1図に示す回路構成をなしている。同様にしてAサイリスタ21~27、Bサイリスタ31~37、保護回路42~55、駆動回路61~63が各々配線接続され、第1図と同様の回路をアレイ状に配置形成している。このような回路の場合、同一基体内の各々の機能素子の電気的特性は互いに同一のものでなければならない。電気的特性—例えば最大電圧変動率 dv/dt 耐量—が異なると、ゲート駆動回路に関係なく誤点弧が生ずることとなる。

本発明者等はA側サイリスタ20~27とB側サイリスタ30~37ともに、第2図に示すような同一の構造であり、且つ同一の拡散工程で形成されているにもかかわらず、基板内側に位置するAサイリスタ20~27を構成するpnpトランジスタの h_{FE} （以下 $h_{FE, pnp}$ という）はチップ外周に位置するBサイリスタ30~37のそれよりも必ず小さくなることを実験により確めた。なお、ここで「サイリスタを構成するpnpトランジスタ」というのは、第2

図に示し $p_1-n_1-p_2$ で構成されるトランジスタをさしている。上記の傾向は半導体ウエハ内のどのチップをみても同様であることがわかった。そこでサイリスタのチップ内の位置とpn接合ダイオードのライフタイム τ_p および $h_{FE, pnp}$ との関係を調べたところ第4、5図に示す関係があることが判明した。なお、ここでpn接合ダイオードとは、第2図で示されるサイリスタ内の $n_1-p_1-p_2-n_2$ あるいは n_1-p_2 接合を有するダイオードである。

この結果から、チップ端より数百 μm 以上離れた位置にサイリスタなどのpn接合を含む素子を形成すれば、前述のような傾向はなくなることが分るが、このように構成した場合、各々の機能素子の位置が限定されるため集積度が低下し、コスト高となる欠点がある。また、AサイリスタとBサイリスタを各々別の拡散により形成することとも考えられるが、製造プロセスが複雑となり、これもまたコスト高の原因となる。

従つて本発明の目的は、同一基体中に同一機能をもつべきpn接合を有する半導体素子が少なくと

も2ヶ以上形成される半導体集積回路装置において、集積度を犠牲にすることなくpn接合のライフタイムや前記 h_{FE} を均一化できる半導体集積回路装置の製造方法を提供することにある。

これ等の目的に鑑み、本発明の1つの特徴は、各機能素子を拡散等の手段により半導体基体中に形成した時点で、基体の1主面に電子線を照射する点にある。

以下、本発明を、第6および第7図を参照して詳述する。第6、7図は拡散、ホトリソグラフィ等の手段によつて各機能素子を形成した後、および同一試料に加速エネルギー1.3 Mev、照射量 6×10^{14} electron/cm²の電子線を照射した後測定したダイオードの少数キャリアのライフタイム τ_p およびサイリスタの $h_{FE, pnp}$ のデータである。このデータから、電子線照射によつてAサイリスタの $h_{FE, pnp}$ とBサイリスタの $h_{FE, pnp}$ およびダイオードの τ_p が共に均一化されたことがわかる。なお、前記測定における電子線にはpnpトランジスタの他に、サイリスタ内のnpnトランジスタ部分、駆動

回路や保護回路を形成している各種 npn トランジスタ、抵抗等も含まれていたが、これらの部分については電子線照射による顕著な変化は見られなかったことを、本発明者等は実験的に確かめた。上記のように第3図で示した集積回路装置の主表面全域に電子線を照射することにより、他の特性にはほとんど影響を与えずに、pn接合の r_p やサイリスタ内の pnp 接合部分の $h_{FE, pnp}$ を均一化できるため、サイリスタがどの位置に形成されても均一な電気的特性をもつ集積回路装置を得ることができる。

以上の発明は以下に示す場合さらに有効となる。一般に拡散、アルミニウム等による配線が終了した時点で全ウエハの特性検査を行うが、この時サイリスタの点弧特性やさらに詳しくはサイリスタ内の $h_{FE, pnp}$ にばらつきが見られたウエハに適量の電子線を照射することにより、従来特性不良として捨てられていたウエハも再生可能となる。通常の半導体集積回路では1ウエハ内に例えば百数十チップが形成されていることから、製造コスト

を大幅に下げることができる。

以上の説明においては、電子線照射を基体全面に行なう例を示したが、所望ならば所要部分のみに限って電子線を照射することも可能であり、一方電子線照射条件も加速エネルギー1.3~2Mev、照射量 $2 \times 10^{11} \sim 6 \times 10^{11}$ electron/cm² の範囲で適宜設定できる。また半導体装置の仕様によつては温度350~400℃の範囲のアニールを加えてもよい。第8図は電子線照射後に350℃でアニールした場合の、電子線照射量と r_p との関係を示すグラフである。

以上本発明ではサイリスタアレイの集積回路装置として述べてきたが、サイリスタに限定されることなく、pnp トランジスタアレイやその他ダイオードアレイを含む集積回路装置であれば適用できる。また放射線は電子線に限定されることなくガンマ線によつても同様の結果が得られる。この場合電子線と同等の効果を得るためには約200倍のエネルギーが必要であることより、プロセス上電子線が好しい。

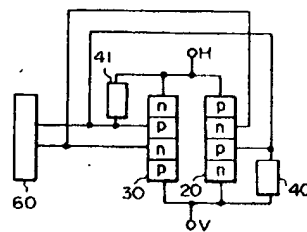
4. 図面の簡単な説明

第1図は本発明が適用される集積回路装置の単位回路の1例を示す図、第2図はその1個のサイリスタの断面図、第3図は本発明が適用される集積回路の配置図、第4、5図はそれぞれダイオードおよびトランジスタの位置と r_p 、 $h_{FE, pnp}$ との関係を示すグラフ、第6、7図はそれぞれ放射線照射前と照射後における r_p と $h_{FE, pnp}$ の状態を示すグラフ、第8図は照射放射線量と r_p との関係を示すグラフである。

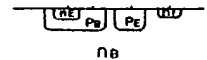
10…半導体集積回路装置、20~27…Aサイリスタ、30~37…Bサイリスタ、40~55…保護回路、60~63…駆動回路。

弁理人弁理士 平 木 道 人

第1図



第2図



第3図

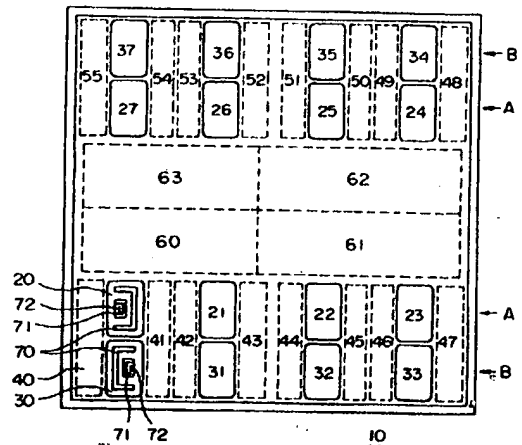


図 4

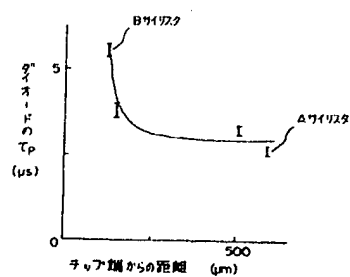


図 5

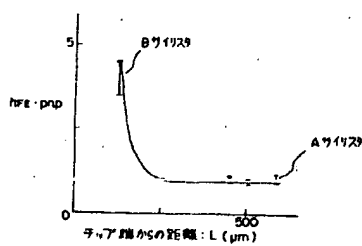


図 6

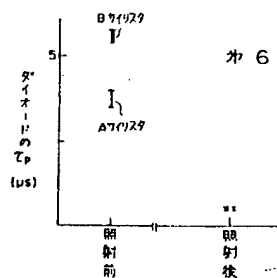


図 7

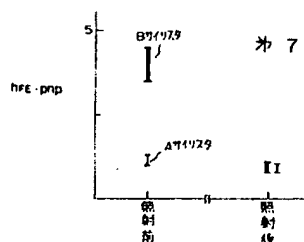


図 8

